

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2793085号

(45) 発行日 平成10年(1998) 9月3日

(24) 登録日 平成10年(1998) 6月19日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 31/10

H 0 1 L 31/10

A

請求項の数 4 (全 8 頁)

(21) 出願番号 特願平4-167545

(22) 出願日 平成4年(1992) 6月25日

(65) 公開番号 特開平6-13843 *le*

(43) 公開日 平成6年(1994) 1月21日

審査請求日 平成8年(1996) 10月22日

(73) 特許権者 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号

(72) 発明者 三田 恵司  
大阪府守口市京阪本通2丁目18番地 三  
洋電機株式会社内

(74) 代理人 弁理士 安宮 耕二 (外1名)

審査官 小原 博生

(56) 参考文献 特開 昭63-299163 (J P, A)  
特開 平4-148671 (J P, A)  
特開 平2-132857 (J P, A)  
特開 平4-44360 (J P, A)  
特開 平2-196463 (J P, A)  
特開 平1-205564 (J P, A)

最終頁に続く

(54) 【発明の名称】 光半導体装置とその製造方法

(57) 【特許請求の範囲】

【請求項1】 一導電型の半導体基板と、  
前記基板の上に形成した少くとも  $200\Omega \cdot \text{cm}$  以上の  
高比抵抗を有する一導電型の第1のエピタキシャル層  
と、  
前記第1のエピタキシャル層の上に形成した少くとも  $200\Omega \cdot \text{cm}$  以上の高比抵抗を有する一導電型の第2の  
エピタキシャル層と、  
前記第2のエピタキシャル層の表面から前記基板に達す  
る一導電型の分離領域と、  
前記分離領域で分離された複数の島領域と、  
前記島領域の第1と第2のエピタキシャル層の境界に埋  
め込んだ逆導電型の埋め込み層と、  
前記島領域の第2のエピタキシャル層の表面に形成した  
逆導電型のコレクタ領域と、

前記コレクタ領域の表面に形成した一導電型のベース領  
域と、  
前記ベース領域の表面に形成した逆導電型のエミッタ領  
域と、  
別の島領域の表面に形成した、ホトダイオードの逆導電  
型のカソード領域とを具備することを特徴とする光半導  
体装置。

【請求項2】 一導電型半導体基板の上に第1のエピタ  
キシャル層をノンドープで形成する工程と、  
前記第1のエピタキシャル層の上に第2のエピタキシャ  
ル層をノンドープで形成する工程と、  
前記第2のエピタキシャル層の表面にバイポーラトラン  
ジスタの逆導電型のコレクタ領域を形成する工程と、  
前記コレクタ領域の表面にバイポーラトランジスタの一  
導電型のベース領域を形成する工程と、

Best Available Copy

前記ベース領域の表面にバイポーラトランジスタの逆導電型のエミッタ領域を形成し、同時に前記第2のエピタキシャル層の表面にホトダイオードのカソード領域を形成する工程とを具備することを特徴とする光半導体装置の製造方法。

【請求項3】 前記半導体基板は比抵抗が $40 \sim 60 \Omega \cdot \text{cm}$ であることを特徴とする請求項2記載の光半導体装置の製造方法。

【請求項4】 前記ホトダイオード部の基板表面に前記基板の不純物を相殺する逆導電型の不純物を導入したことを特徴とする請求項1記載の光半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はホトダイオードとバイポーラICとを一体化した光半導体装置に関する。

【0002】

【従来の技術】受光素子と周辺回路とを一体化してモノリシックに形成した光半導体装置は、受光素子と回路素子とを別個に作ってハイブリッドIC化したものより、コストダウンが期待でき、また、外部電磁界による雑音に対して強いというメリットを持つ。

【0003】このような光半導体装置の従来の構造として、例えば特開平1-205564号公報に記載されたものが公知である。これを図9に示す。同図において、

(1)はP型の半導体基板、(2)はP型のエピタキシャル層、(3)はN型のエピタキシャル層、(4)はP<sup>+</sup>型分離領域、(5)はN<sup>+</sup>型拡散領域、(6)はN<sup>+</sup>型埋め込み層、(7)はP型ベース領域、(8)はN<sup>+</sup>型エミッタ領域である。ホトダイオード(9)はP型エピタキシャル層(2)とN型エピタキシャル層(3)とのPN接合で形成し、N<sup>+</sup>型拡散領域(5)をカソード取出し、分離領域(4)をアノード取出しとしたものである。NPNトランジスタ(10)はP型エピタキシャル層(2)とN型エピタキシャル層(3)との境界に埋め込み層(6)を設け、N型エピタキシャル層(3)をコレクタとしたものである。そして、基板(1)からのオートドープ層(11)によって加速電界を形成し、空乏層より深部の領域で発生したキャリアの移動を容易にしたものである。

【0004】

【発明が解決しようとする課題】しかしながら、ホトダイオード(9)の高速応答性という点では空乏層の幅を広げて空乏層外生成キャリアの発生を抑制することが望ましい。図10の構造ではN型エピタキシャル層(3)がNPNトランジスタ(10)のコレクタとして望まれる不純物濃度であるため空乏層が拡がりにくく、またP型エピタキシャル層(2)は基板(1)からのボロン(B)の熱拡散によるオートドープ層(11)があるために基板(1)まで空乏層を拡げることが困難である欠点があった。

【0005】さらに製造的な問題として、P型エピタキシャル層(2)を形成しようとする装置内が供給したアクセプタ不純物によって汚染されるため、N型エピタキシャル用の装置とは分離しなければならず、他のバイポーラICとのラインの共用化が困難である欠点があった。

【0006】

【課題を解決するための手段】本発明は上述した従来の欠点に鑑み成されたもので、基板(23)上に形成した高比抵抗の第1と第2のエピタキシャル層(24)(25)と、第1と第2のエピタキシャル層(24)(25)を分離する分離領域(26)と、第2のエピタキシャル層(25)の表面に形成したN型のコレクタ領域(36)と、NPNトランジスタ(21)を構成するベース領域(37)とエミッタ領域(38)と、第2のエピタキシャル層(25)の表面に形成したホトダイオード(21)のN<sup>+</sup>カソード領域(31)と、を具備することによりNPNトランジスタ(22)と高速ホトダイオード(21)とを共存させた光半導体装置を提供するものである。

【0007】また製法的な特徴として、第1と第2のエピタキシャル層(24)(25)をノンドープで形成することを骨子とするものである。

【0008】

【作用】本発明によれば、第1と第2のエピタキシャル層(24)(25)を共に高比抵抗層としたので、両者の厚みの和に等しい程度の厚い空乏層を得ることができる。また、ノンドープで形成することにより、高比抵抗層を安定に制御性良く、装置の汚染も無く実施できるものである。

【0009】

【実施例】以下に本発明の一実施例を図面を参照しながら詳細に説明する。図1はホトダイオード(21)とNPNトランジスタ(22)とを組み込んだICの断面図である。同図において、(23)はP型の単結晶シリコン半導体基板、(24)は基板(23)上に気相成長法により形成した厚さ $15 \sim 20 \mu\text{m}$ のP型の第1のエピタキシャル層、(25)は第1のエピタキシャル層(24)上に気相成長法により形成した厚さ $4 \sim 6 \mu\text{m}$ のP型の第2のエピタキシャル層である。基板(23)は一般的なバイポーラICのもの( $2 \sim 4 \Omega \cdot \text{cm}$ )より不純物濃度が低い $40 \sim 60 \Omega \cdot \text{cm}$ の比抵抗のものをいい、第1のエピタキシャル層(24)はノンドープで積層することにより、積層時で $1000 \sim 1500 \Omega \cdot \text{cm}$ 、拡散領域を形成するための熱処理を与えた後の完成時で $200 \sim 1500 \Omega \cdot \text{cm}$ の比抵抗を有する。第2のエピタキシャル層(25)も同様に完成時で $200 \sim 1500 \Omega \cdot \text{cm}$ の比抵抗を有する。通常のバイポーラICで用いるエピタキシャル層の比抵抗は $1.0 \sim 2.0 \Omega \cdot \text{cm}$ である。

【0010】第1と第2のエピタキシャル層(24)(25)は、両者を完全に貫通するP型分離領域(26)によってホトダイオード(21)形成部分とNPNトランジスタ(22)形成部分とに電気的に分離される。この分離領域(26)は、基板(23)表面から上下方向に拡散した第1の分離領域(27)と、第1と第2のエピタキシャル層(24)(25)の境界から上下方向に拡散した第2の分離領域(28)と、第2のエピタキシャル層(25)表面から形成した第3の分離領域(29)から成り、3者が連結することで第1と第2のエピタキシャル層(24)(25)を島状の領域に分離する。

【0011】ホトダイオード(21)部の第2のエピタキシャル層(25)表面には、ホトダイオード(21)のカソード取出しとなるN型拡散領域(31)を略全面に形成する。第2のエピタキシャル層(25)の表面は酸化膜(32)で覆われ、酸化膜(32)を部分的に開孔したコンタクトホールを介してカソード電極(33)がN型拡散領域(31)にコンタクトする。また、分離領域(26)をホトダイオード(21)のアノード側低抵抗取り出し領域として、アノード電極(34)が分離領域(26)の表面にコンタクトする。

【0012】NPNトランジスタ(22)部の第1と第2のエピタキシャル層(24)(25)の境界部には、N型の埋め込み層(35)が埋め込まれている。埋め込み層(35)上方の第2のエピタキシャル層(25)表面には、第2のエピタキシャル層(25)の比抵抗を増大しNPNトランジスタ(22)のコレクタとなるN型のコレクタ領域(36)が埋め込み層(35)と連結するように形成されている。コレクタ領域(36)の表面にはNPNトランジスタ(22)のP型のベース領域(37)、N型のエミッタ領域(38)、およびN型のコレクタコンタクト領域(39)を形成する。各拡散領域上にはA1電極(40)がコンタクトし、酸化膜(32)上を延在する図示せぬA1配線が各素子を連結することにより、ホトダイオード(21)が光信号入力部を、NPNトランジスタ(22)が他の素子と共に信号処理回路を構成する。

【0013】斯る構造におけるホトダイオード(21)は、カソード電極(33)に+5Vの如きVcc電位を、アノード電極(34)にGND電位を印加した逆バイアス状態で動作させる。第1と第2のエピタキシャル層(24)(25)をP型高比抵抗層としたので、上記逆バイアスを与えるとN+カソード領域(31)と第2のエピタキシャル層(25)との接合面から空乏層が第1と第2のエピタキシャル層(24)(25)内に大きく拡がり、その厚みは第1と第2のエピタキシャル層(24)(25)の厚みの和に等しい程度の厚み(20~30μ)に達する。

【0014】ホトダイオード(21)部に波長800nm

の如き光入射があると、入射光はシリコン表面から20μ以上の深さまで達する。この入射光により光生成キャリアが発生し、キャリアの移動によって光電流となる。前記光生成キャリアの発生は、空乏層内で発生する空乏層内生成キャリアと空乏層外で発生する空乏層外生成キャリアとに大別される。空乏層内生成キャリアは電界に引かれることによって瞬時に移動できるが、空乏層外生成キャリアは移動が拡散によるため応答が鈍くなる。本願の構成によれば、第1と第2のエピタキシャル層(24)(25)全体に拡がる厚い空乏層で入射光を受けるので、その殆どを空乏層内生成キャリアに変換でき、ホトダイオード(21)の高速応答を可能にできる。尚、N+カソード領域(31)をエミッタ拡散による高濃度で浅い(0.3~1.0μ)領域で形成したので、カソード領域(31)での空乏層外生成キャリアの発生量は少い。しかも、高濃度であることからカソード領域(31)で発生した光生成キャリアは即消滅し、または極めて短時間でカソード電極(31)に達することができる。よって拡散移動による遅延電流は極めて小さい。

【0015】さらに、P型分離領域(26)をアノード取出しとし、その分離領域(26)が基板(23)深部にまで拡散形成されているので、アノード取出し抵抗が小さい。一方のNPNトランジスタ(22)は、第2のエピタキシャル層(25)に形成したコレクタ領域(36)によってコレクタに適した不純物濃度に設定できるので、トランジスタ特性を満足させることができる。しかも2段エピタキシャルを用いることにより第2のエピタキシャル層(25)のみをN型反転させれば済むので、拡散熱処理時間が極端に長くならず済む。

【0016】従って本発明構造によれば、高速のホトダイオード(21)とNPNトランジスタ(22)とを一体化共存することができるものである。図1の構造は、以下のプロセスによって製造することができる。図2

(a)を参照して、比抵抗が40~60Ω・cmのP型シリコン単結晶基板(23)を用意する。後述する別の実施例を実施する場合は、この段階で全面又は選択的にリン(P)をイオン注入しておく。

【0017】図2(b)を参照して、基板(23)表面を熱酸化して酸化膜を形成し、この酸化膜をホトエッチングする。ホトエッチングした酸化膜をマスクとして分離領域(26)の第1の分離領域(27)を形成するためのボロン(B)を選択拡散する。図3(a)を参照して、前記酸化膜を除去して基板(23)表面を清浄した後、基板(23)上に第1のエピタキシャル層(24)を形成する。第1のエピタキシャル層(24)は、基板(23)を装置のサセプタ上に設置し、ランプ又は高周波加熱によって基板(23)を1140℃程度に加熱し、反応管内にSiH<sub>2</sub>Cl<sub>2</sub>ガスとH<sub>2</sub>ガスを一定流量導入することにより、ノンドープで15~20μの厚み

に形成する。エピタキシャル層をノンドープ成長させると、その工程中、エピタキシャル層は基板(23)や第1の分離領域(27)、またはウェハの裏面から雰囲気中に飛散したボロン(B)の供給を受け、シリコン原子とボロン原子が結合しながら成長する。その結果、エピタキシャル層はイントリシックに極めて近いP型層となり、N型反転することはまずあり得ない。電気的特性は完全にP型である。比抵抗は全工程が終了した時点で $200 \sim 1500 \Omega \cdot \text{cm}$ となる。

【0018】図3(b)を参照して、第1のエピタキシャル層(24)表面を熱酸化して酸化膜を形成し、この酸化膜をパターニングして選択マスクを形成し、NPNトランジスタ(22)のN<sup>+</sup>型埋め込み層(35)を形成するアンチモンを拡散する。この熱処理で第1の分離領域(27)も少し拡散される。図4を参照して、選択マスクを変更し、分離領域(26)の第2の分離領域(28)を形成するボロン(B)を拡散する。そして酸化膜付けを行いながら基板(23)全体に熱処理を与え、第1と第2の分離領域(27)(28)を拡散することにより両者を連結する。本工程で第1の分離領域(27)は $8 \sim 10 \mu$ 、第2の分離領域(28)は $6 \sim 8 \mu$ 拡散される。

【0019】図5を参照して、選択拡散に用いた酸化膜を全面除去した後、第1のエピタキシャル層(24)の上に再びノンドープの第2のエピタキシャル層(25)を $4 \sim 6 \mu$ の厚みに形成する。図6を参照して、第2のエピタキシャル層(25)の表面を熱酸化して酸化膜を形成し、酸化膜の上からレジストマスクにより選択的にリン(P)をイオン注入してNPNトランジスタ(22)のコレクタ領域(36)を形成する。このイオン注入はドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ 、加速電圧 $80 \text{keV}$ 程度で行う。

【0020】図7を参照して、基板(23)全体に $1100 \sim 1200^\circ\text{C}$ 、2～3時間の熱処理を加えることにより前記コレクタ領域(36)を $3 \sim 5 \mu$ の深さに拡散する。この工程で第1と第2の分離領域(27)(28)も夫々上下方向に拡散され、コレクタ領域(36)はN<sup>+</sup>埋め込み層(35)に達する。図8を参照して、第2のエピタキシャル層(25)表面の酸化膜をパターニングして選択マスクを形成し、ボロン(B)を熱拡散することにより第3の分離領域(29)を $2 \sim 3 \mu$ の深さに形成する。この工程で第1～第3の分離領域(27)(28)(29)が連結して分離領域(26)を形成し、第1と第2のエピタキシャル層(24)(25)を島状に電気的に分離する。

【0021】図9を参照して、第2のエピタキシャル層(25)の表面からボロン(B)を選択的にイオン注入する。そしてイオン注入したボロンを熱拡散してNPNトランジスタ(22)のベース領域(37)を形成する。続いて、第2のエピタキシャル層(25)の表面に

リン(P)を選択的に熱拡散して、NPNトランジスタ(22)のN<sup>+</sup>型エミッタ領域(38)とコレクタコンタクト領域(39)、およびホットダイオード(21)のN<sup>+</sup>型カソード領域(31)を同時形成する。その後、Alの堆積とパターニングによって各領域上にAl電極を形成することにより、図1の構造を得る。

【0022】以上本発明の製造方法によれば、ノンドープで形成することにより、高比抵抗のP型層を容易に得ることができる。しかも、通常のバイポーラICで用いるN型エピタキシャル用装置を用いて不純物の供給を停止するだけで実施できるので、比抵抗の制御が容易であり、装置内部をP型不純物で汚染することもない。本願の構造、製造方法においても、従来例と同様に基板(23)のボロン(B)が熱拡散によって上方へはい上がり空乏層の拡大を抑えるP型層(オートドープ層)を形成することが考えられる。しかしながら、P型層にP型層が重畳するよりはノンドープ層にP型層が重畳する方が不純物濃度が高くならずに済むので、空乏層の抑制は小さくなる。基板(23)として $40 \sim 60 \Omega \cdot \text{cm}$ の比較的低不純物濃度の基板(23)を用いると、不純物濃度が小さいので前記はい上る量を一層小さくでき、空乏層が拡大する高比抵抗領域を基板(23)表面近くまで拡大できる。基板(23)を高比抵抗にしたこと、およびオートドープ層の形成を抑制したことによるアノード取り出し抵抗の増大は、P<sup>+</sup>分離領域(26)を基板(23)に達するように形成することでこれを回避している。

【0023】他の実施例として、ホットダイオード(21)下の基板(23)表面に基板(23)の不純物濃度を相殺させるためのN型不純物をイオン注入しておくと、基板(23)表面も高比抵抗層となるので空乏層の幅を一層拡大できる。この不純物はホットダイオード(21)部に選択的にイオン注入するか、又は基板(23)全面に導入しても良い。但し、P<sup>+</sup>分離領域(26)をホットダイオード(21)のアノード取出しとしているので、取出し抵抗の増大を避ける為に前記不純物の拡散深さは分離領域(26)の第1の分離領域(27)の拡散深さを超えてはならない。具体的には、 $1 \sim 5 \times 10^{11}$ 程度のリン(P)がイオン注入され、各熱処理で拡散されることにより基板(23)表面の不純物濃度を $40 \sim 60 \Omega \cdot \text{cm}$ から $200 \Omega \cdot \text{cm}$ 以上に増大し、その領域が $2 \sim 10 \mu$ の深さに形成される。尚、第1の分離領域(27)の拡散深さは $7 \sim 15 \mu$ である。また、相殺不純物は第1のエピタキシャル層(24)側へも拡散されるので、基板(23)から上へはい上るP型層を相殺する効果もある。

【0024】

【発明の効果】以上に説明した通り、本発明によれば高比抵抗の第1と第2のエピタキシャル層(24)(25)を積層することによって極めて厚い空乏層が得ら

れ、NPNトランジスタ(21)はN型コレクタ領域(36)を形成することにより不純物濃度を増大するので、高速のホトダイオード(21)とNPNトランジスタ(22)とを共存できる利点を有する。

【0025】しかも、第1と第2のエピタキシャル層(24)(25)をノンドープで形成することにより、高比抵抗のP型層が簡単に得られるという利点を有する。特に高比抵抗のN型層を形成する場合に比べ、基板(23)からのオートドープ等によるP型層を更にN型反転させる必要が無いので、不純物濃度の制御性が簡便であることは明らかである。また、N型エピ成形用の製造装置を用いて、不純物ガスの供給を停止するだけで実施できるので、実施が簡便であり、装置をP型不純物で汚染することもない。

【0026】さらに、基板(23)として40~60Ω・cmの比較的高比抵抗の基板(23)を用いることによって、オートドーブによるP型層の形成を抑制でき、

高比抵抗層を厚く残すことができる利点を有する。さらに、基板(23)表面に相殺不純物をイオン注入しておくことにより、上記P型層の形成を一層抑制できる他、基板(23)表面部をも空乏層が拡がる高比抵抗層に形成できる利点をも有する。

【図面の簡単な説明】

【図 1】本発明の光半導体装置を説明するための断面図である。

【図2】 図1の製造方法を説明する第1の図面である。

【図3】図1の製造方法を説明する第2の図面である。

【図4】図1の製造方法を説明する第3の図面である。

【図5】図1の製造方法を説明する第4の図面である。

【図6】図1の製造方法を説明する第5の図面である。

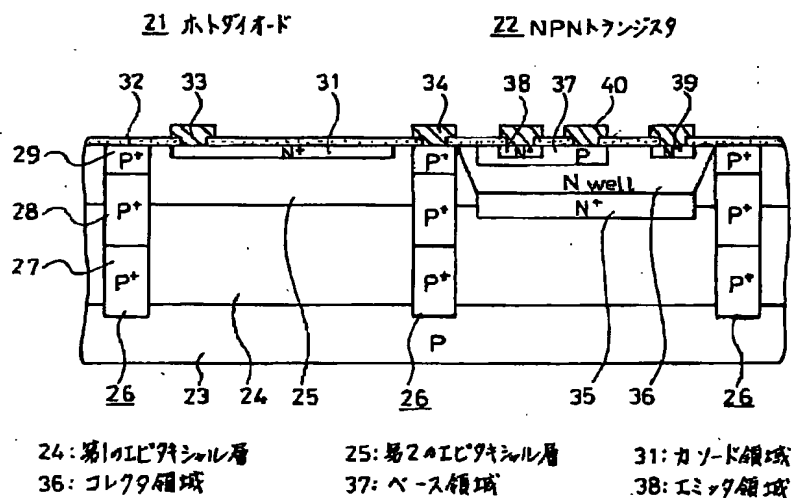
【図7】図1の製造方法を説明する第6の図面である。

【図8】図1の製造方法を説明する第7の図面である。

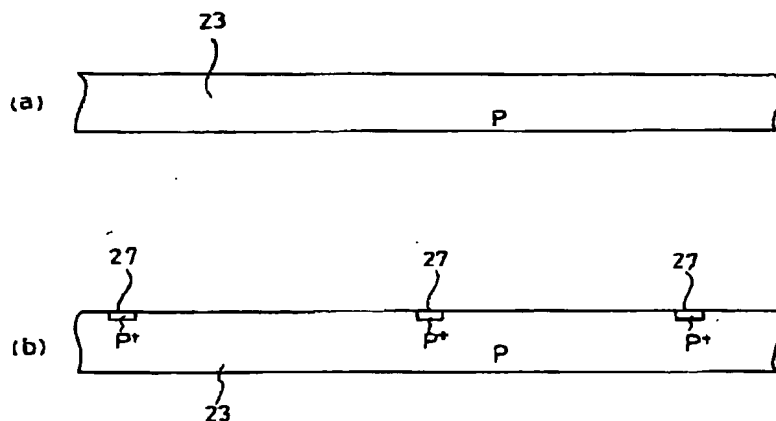
【図9】図1の製造方法を説明する第8の図面である。

【図10】従来例を示す断面図である。

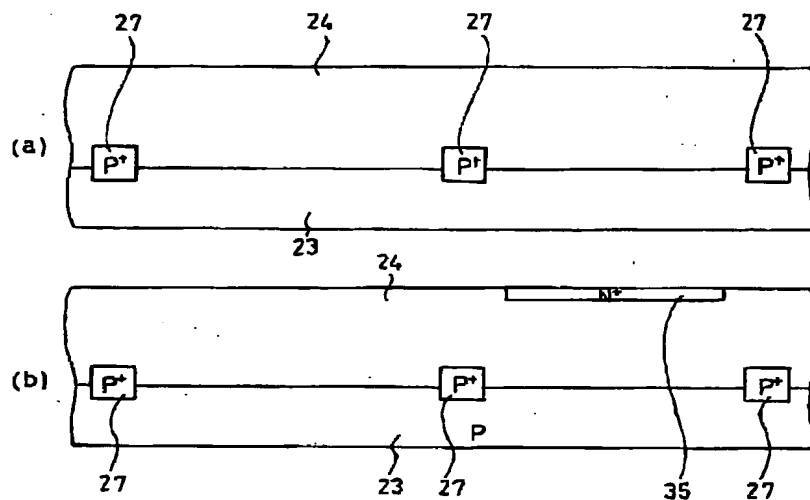
【☒ 1】



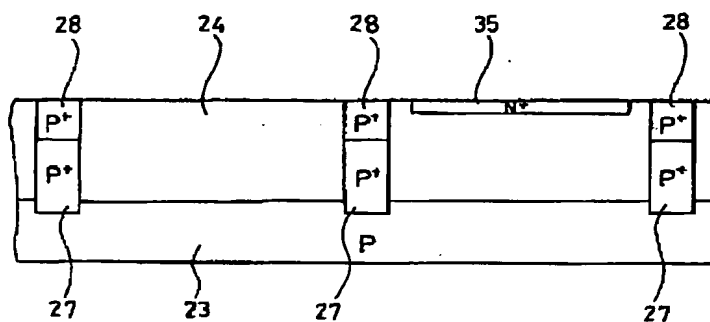
【図 2】



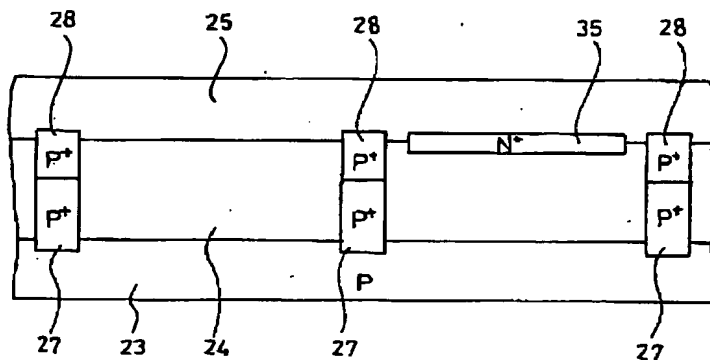
【図 3】



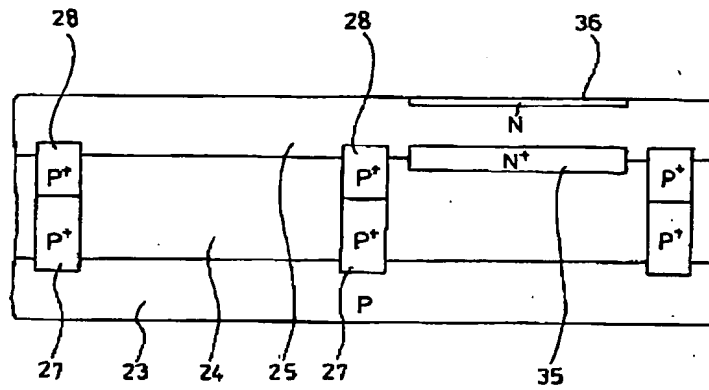
【図 4】



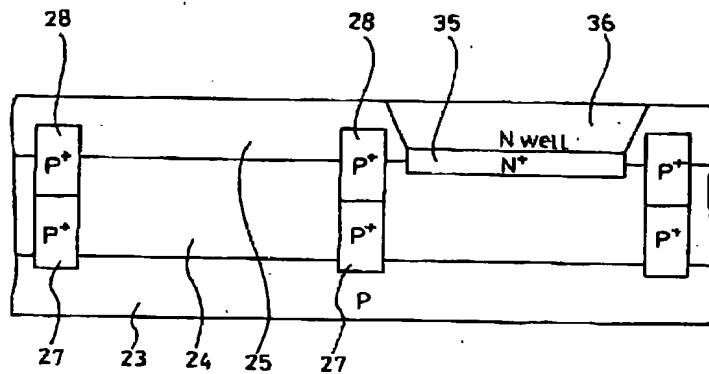
【図 5】



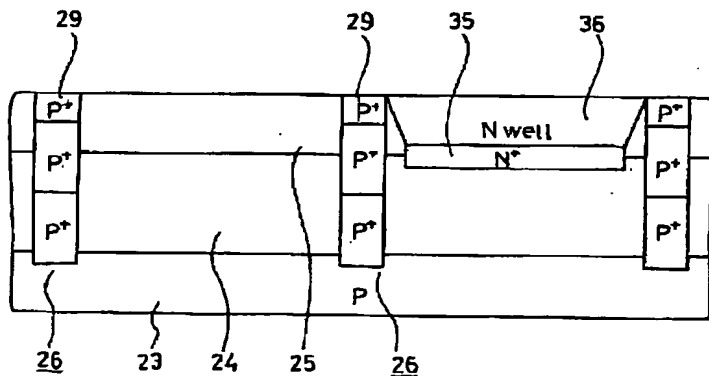
【図6】



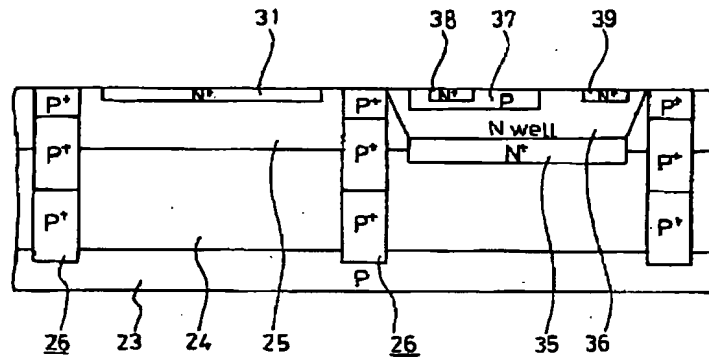
【図7】



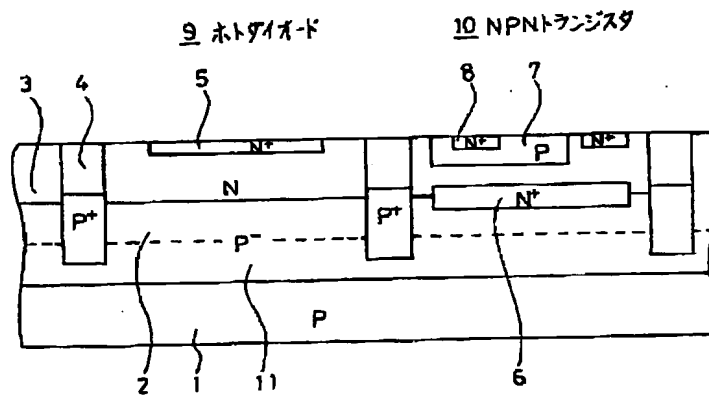
【図8】



【図9】



【図10】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>6</sup>, DB名)  
H01L 31/10



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**